

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-76301

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)4月2日

H 01 P 5/02
3/02

A

8628-5 J
8626-5 J

審査請求 未請求 請求項の数 1 (全4頁)

⑯ 発明の名称 インピーダンス変換回路

⑰ 特 願 平1-211958

⑱ 出 願 平1(1989)8月17日

⑲ 発 明 者 村 口 正 弘 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

⑳ 発 明 者 廣 田 哲 夫 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉑ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉒ 代 理 人 弁理士 伊 東 忠 彦

明 細 書

1. 発明の名称 インピーダンス変換回路
2. 特許請求の範囲
- 第1のインピーダンス Z_0 と第2のインピーダンス Z_1 との間のインピーダンス変換を伝送線路を用いて行なうインピーダンス変換回路において、
- 上記伝送線路の線路長を使用周波数の4分の1波長より短くすると共に、該伝送線路の特性インピーダンスを $\sqrt{Z_0 \cdot Z_1}$ 以上に設定し、かつ、該伝送線路の両端を、互いに容量の等しい第1及び第2のキャパシタを別々に介して接地導体に接続したことを特徴とするインピーダンス変換回路。
3. 発明の詳細な説明 (産業上の利用分野)
- 本発明はインピーダンス変換回路に係り、特に高周波伝送線路を用いてインピーダンス Z_0 と Z_1 との間のインピーダンス変換を行なうインピーダンス変換回路に関する。

(従来の技術)

第4図は高周波通信装置に利用される従来のインピーダンス変換回路を示す。図中、伝送線路6の線路長は使用周波数で4分の1波長(電気長で90°)であり、その特性インピーダンス Z_0 は以下の関係を満足している。

$$Z_0 = \sqrt{Z_0 \cdot Z_1} \quad (1)$$

ここで、4は特性インピーダンス Z_0 の伝送線路またはインピーダンスが Z_0 の接続用端子、5は特性インピーダンス Z_1 の伝送線路またはインピーダンスが Z_1 の接続用端子、あるいは、入力インピーダンスが Z_1 の回路素子である。

例えば、 Z_0 を50Ω、 Z_1 を1Ωとすると、伝送線路6の特性インピーダンス Z_0 は(1)式より約7Ωとなる。この例のように、50Ωと1Ω程度の高低インピーダンスとの間のインピーダンス変換回路は、高出力増幅器内部の整合回路中ではしばしば必要となる。というのは、高出力増幅器の入出力インピーダンスが一般に50Ωであるのに対して、それに伴う高出力FETの入力インピ

特開平3-76301 (2)

インピーダンスの定数は一般に10程度の超低インピーダンスとなるからである。

(発明が解決しようとする課題)

ところが、特性インピーダンスが10Ω以下であるような伝送線路を用いて高周波回路を設計、製造することは容易でない。例えば、伝送線路として最も一般的なマイクロストリップ線路を使用した高周波回路の設計では、伝送線路モデル(線路の両方向の大きさやその効果を考慮しない1次元的なモデル)で回路設計ができるマイクロストリップ線路の特性インピーダンス範囲は20Ω以上に限られる。また、コプレーナ線路では、使用可能な特性インピーダンスの範囲は通常30Ω～100Ωであり、スロット線路では通常40Ω～150Ωである。

マイクロストリップ線路において、特性インピーダンスが10Ω以下であるような線路を製作することは物理的に不可能ではないが、線路幅が4分の1波長と同程度の寸法になってしまうため、もはや伝送線路モデルでは回路設計ができなくな

り、線路幅方向に2次元的な広がりを持った平面回路の設計となる。この場合、回路設計は極めて難しくなり、しかも設計性は乏しい。従って、入出力整合回路中に第4図に示すインピーダンス変換回路を使用した高出力増幅器の製造では、一般に、試行錯誤的な特性調整が必要となっている。

さらに、一枚のガリウムヒ素基板上に高出力FETと入出力整合回路を一緒に作り込んだモノリシック・マイクロ波集積回路の場合、4分の1波長インピーダンス変換回路を用いたのではチップ寸法が大きくなってしまふ。例えば、10GHzにおける4分の1波長伝送線路はマイクロストリップ線路やコプレーナ線路を用いた場合で約3mmとなり、伝送線路と同時に作り込まれるFETの寸法が通常0.5mm角以下であるのと比較して相対的に大きな寸法となる。

本発明は上記の点に鑑みてなされたもので、高出力FET等の数10程度の超低インピーダンス回路素子と高周波回路の入出力の標準インピーダンスである50Ωなどとの間の整合を行うためのイ

ンピーダンス変換回路の設計性を向上させ、かつ、製作が容易で、小型なインピーダンス変換回路を提供することを目的とする。

(課題を解決するための手段)

第1図は本発明の回路構成図を示す。同図中、1は特性インピーダンスZの伝送線路、2及び3は互いに等しい容量Cを有するキャパシタ、4は特性インピーダンスZ₀の伝送線路又はインピーダンスがZ₀の接続用端子、5は特性インピーダンスZ₀の伝送線路又はインピーダンスがZ₀の接続用端子又は入力インピーダンスがZ₀の回路素子である。

伝送線路1の線路長は使用周波数の4分の1波長より短く、かつ、その特性インピーダンスZが $\sqrt{Z_0 \cdot Z_1}$ 以上に設定されている。また、伝送線路1の両端は、各キャパシタ2、5を介して接地導体に接続されている。

(作用)

伝送線路1の特性インピーダンスZ₀及びキャパシタ2及び3の各容量Cは夫々次式で表わされ

る。

$$Z = \sqrt{Z_0 \cdot Z_1} / \sin \theta \quad (1)$$

$$C = \cos \theta / (2 \pi f \sqrt{Z_0 \cdot Z_1}) \quad (2)$$

ここで、 θ は伝送線路1の電気長で、伝送線路1の線路長が使用周波数fの4分の1波長より短いため、 $0^\circ < \theta < 90^\circ$ となる。従って、特性インピーダンスZは式(1)より $\sqrt{Z_0 \cdot Z_1}$ 以上となる。

いま、一例としてZ₀が50Ω、Z₁が1Ω、使用周波数fが10GHzの場合を考える。まず、伝送線路1の長さを4.5分の1波長としてみる。この場合、電気長 θ は 8° であるから、伝送線路1の特性インピーダンスZは式(1)より51Ωとなり、式(2)より計算されるキャパシタ2、3の容量Cは2.23pFとなる。伝送線路1の長さ4.5分の1波長というのは、従来のインピーダンス変換回路の伝送線路6の長さ4分の1波長と比較して1.0分の1以下に短縮したことに相当する。しかも、伝送線路1の特性インピーダンスZは、従来の7Ωから51Ωにすることができ、この線路イン

特開平3-76301 (3)

ピーダンスはマイクロストリップ線路やコプレーナ線路によって容易に製作できる。

一方、使用したい伝送線路1の特性インピーダンスZを先に与えてもよい。例えば、使用したい伝送線路1の特性インピーダンスZを70Ωとした場合は、電気長lを5.8°とすれば良く、このとき、キャパシタの容量Cは2.24pFである。

このように本発明では、従来の4分の1波長インピーダンス変換回路の伝送線路6の特性インピーダンスが(1)式で示す値に一義的に決定されたのとは異なり、特性インピーダンスZと線路長の取り方に自由度がある。

このように、本発明は、従来のインピーダンス変換回路で用いている4分の1波長の伝送線路の長さより短い伝送線路を用いて回路を小型化し、かつキャパシタを付加して伝送線路の特性インピーダンスを上げることにより、マイクロストリップ線路やコプレーナ線路、スロット線路を用いたインピーダンス変換回路の設計性および製作性を良好かつ容易にせしめる線路インピーダンス組

成回路、11はインピーダンス変換回路を構成するコプレーナ線路、12および13はコプレーナ線路の接地導体と絶縁体を介してこれと対向する導体板によって構成されたキャパシタである。また、14および15は接続用コプレーナ線路または接続用端子あるいはFETなどの回路素子を示す。

本実施例によれば、従来のコプレーナ線路を用いた4分の1波長インピーダンス変換回路では実現できなかった周波数インピーダンスと50Ωとの間のインピーダンス変換回路を容易に製作できる。

第3図は本発明の第2実施例の側面図を示す。本実施例は伝送線路としてスロット線路を用いる例で、20はガリウムヒ素基板などの誘電体基板、21はインピーダンス変換回路を構成するスロット線路、22および23はスロット線路21の2つの導体と、これら2つの導体と絶縁体を介してこれと対向する第3の導体板によって構成されたキャパシタである。この第3の導体板は電位的に接地導体と等しくなり、接地導体と同様な振る舞

い(一般に40Ω~70Ω)で製作できる自由度を持つことが従来と異なる。ただし、本発明は使用周波数において、従来のインピーダンス変換回路と同等の特性を得ることができる。

なお伝送線路1は一つのガリウムヒ素基板等の誘電体基板上に形成されたコプレーナ線路であり、キャパシタ2、3はこのコプレーナ線路の接地導体と、この接地導体に絶縁体を介して対向する導体とを含む構造とすることができる。また、この伝送線路1を一つのガリウムヒ素基板等の誘電体基板上に形成されたスロット線路とし、上記キャパシタ2、3はスロット線路の2つの導体と絶縁体を介して対向する第3の導体からなる構造とすることができる。

(実施例) 第2図は本発明になるインピーダンス変換回路の第1実施例の側面図を示す。本実施例は伝送線路としてコプレーナ線路を用いて、モンリシック・マイクロ波素子回路に適した構成にしたものである。同図中、10はガリウムヒ素基板などの誘

いをする。24および25は接続用スロット線路または接続用端子あるいはFETなどの回路素子を示す。

本実施例によれば、従来のスロット線路を用いた4分の1波長インピーダンス変換回路では実現が困難であった周波数インピーダンスと50Ωとの間のインピーダンス変換回路を容易に製作できる。

尚、キャパシタは高い周波数においても設計性が良いため、本発明のインピーダンス変換回路は高周波帯でも使用可能である。

(発明の効果)

以上説明したように、本発明によれば、インピーダンス変換回路の伝送線路を短絡して装置を小型化するとともに、その伝送線路の特性インピーダンスを製作が容易で回路設計性の良い範囲(一般に40Ω~70Ω)に設定できる自由度を持つ。また、キャパシタは高周波においても設計性が良いため、本発明のインピーダンス変換回路は高周波帯においても精度の高い回路設計ができ、かつ、設計通りの特性が得られる利点がある。本発明

特開平3-76301 (4)

1:1—コプレーナ線路、2:1—スロット線路。

特許出願人 日本電信電話株式会社

代理人 弁理士 伊 東 忠 彦

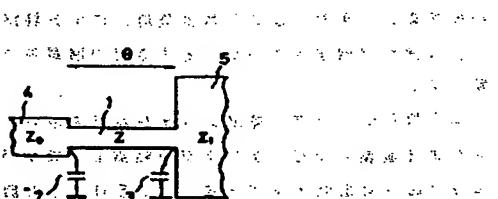


を用いることにより各異周波回路の整合回路部を、特性劣化を招くことなく小型化できる。特に高出力増幅器では、超低入力インピーダンスのトランスタヤ、FETと増幅器の入出力インピーダンス（一般に50Ω）との間の整合回路が必要で、本発明のインピーダンス変換回路を用いて整合回路を構成すれば増幅器の小型化と設計性の向上を同時に実現できる。さらに、本発明は集積化に適しており、モノリシック・マイクロ波集積回路等、小型で設計性の高いことが必要な高周波回路に適用するに有効である。

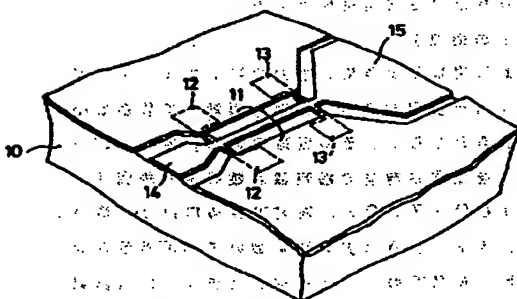
4. 図面の簡単な説明

図1図は本発明の原理構成図、第2図はコプレーナ線路を用いた本発明の第1実施例の斜視図、第3図はスロット線路を用いた本発明の第2実施例の斜視図、第4図は従来のインピーダンス変換回路の一例を示す図である。

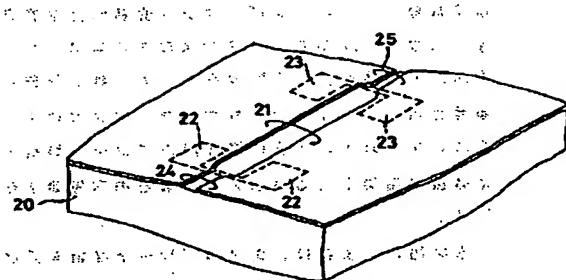
1—伝送線路、2、3—1/2、1/3、2/2、2/3—キャパシタ、4、5—誘電体伝送線路、接線端子又は回路端子、10、20—誘電体基板。



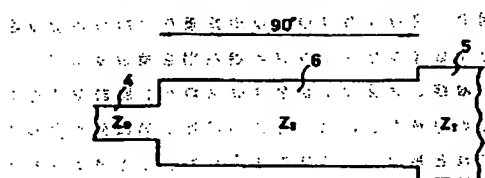
第1図



第2図



第3図



第4図